

INTRODUCCIÓN A LOS INVERSORES

RESUMEN

Desde la aparición de los convertidores electrónicos de alta potencia basados en GTO, es posible generar o absorber potencia reactiva sin el uso de bancos de capacitores o inductores. Esto condujo al desarrollo y la aplicación de la nueva generación de dispositivos FACTS. El compensador estático de reactivos (SVC) se ha utilizado ampliamente para la regulación de voltaje en sistemas de potencia, mediante el control de la inyección de potencia reactiva. La evolución del SVC es el StatCom, que se basa en el principio de que un inversor de voltaje genera un voltaje de CA controlable atrás de la reactancia de dispersión del transformador, de modo que la diferencia de voltaje a través de la reactancia produce intercambio de potencia activa y reactiva entre el StatCom y la red de transmisión. Este capítulo proporciona una introducción a los inversores, que constituyen el núcleo de los dispositivos FACTS de segunda generación.

CONCEPTOS PRELIMINARES

Un inversor o una fuente convertidora de voltaje (VSC) se usa para generar un voltaje de CA a partir de una fuente de CD. Típicamente, se emplea un transformador para elevar el voltaje por encima de la magnitud del voltaje de CD. En su devanado secundario se conecta la carga. Si la carga CA es puramente resistiva, la forma de onda real producida en el secundario no es crítica. Sin embargo, para algunas cargas la forma de onda es esencial. Un motor de inducción, por ejemplo, se diseña específicamente para operar con una alimentación senoidal. Si la forma de onda de

la corriente se desvía de la senoidal, resultan variaciones del par y pérdidas adicionales.

Las fuentes convertidoras de voltaje son la base de la segunda generación de dispositivos FACTS como el StatCom (compensador estático síncrono), el SSSC (compensador serie síncrono estático), y una combinación de los dos que es el UPFC (controlador unificado de flujos de potencia). Este tipo de elementos utilizan dispositivos electrónicos donde se controla el encendido y apagado. Entre ellos están los tiristores de apagado de compuerta GTO (*Gate Turn-off Thyristor*), los transistores bipolares de compuerta aislada IGBT (Insulated Gate Bipolar Transistor), los MTO (*MOS Turn-off Thyristor*), y los IGCT (*Integrated Gate-commutated Thyristor*) por mencionar algunos. La principal función de las VSC es generar voltaje de CA a partir de una fuente de voltaje de CD, debido a esto es común encontrarlas referenciadas como inversores. Con una VSC es posible controlar la magnitud, el ángulo de fase y la frecuencia del voltaje de salida. Otra aplicación industrial ordinaria de los inversores son los variadores de velocidad para motores de CA.

La figura 4.1 muestra un circuito inversor monofásico, referido como de un polo, que consiste de un interruptor A+, y de un interruptor A-. Cuando un polo se conecta a través de una serie de capacitores que se cargan con un voltaje total V_{DC} , y los interruptores se abren y cierran alternadamente, el voltaje de salida, V_{A0} , en el punto medio del polo A con respecto al punto medio, O, del enlace capacitivo, es una onda cuadrada que contiene un componente fundamental y todos los componentes armónicos impares. La amplitud del componente fundamental es directamente proporcional a V_{DC} , y la amplitud del componente armónica impar (n) normalizada respecto a la fundamental es $(1/n)$, donde $n = 2k + 1$ para $k = 1, 2, 3, \text{etc.}$, [1].

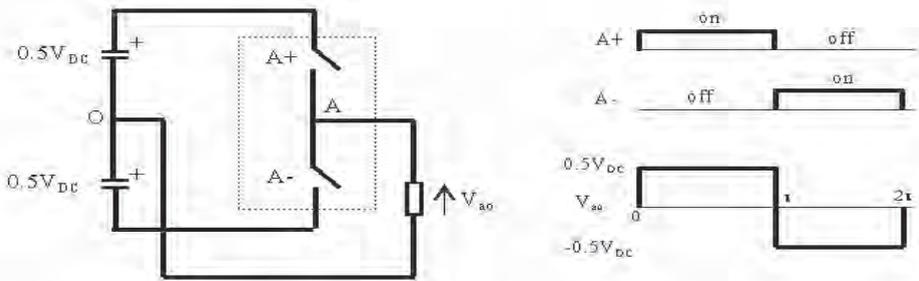


Figura 4.1 Un polo inversor y su voltaje de salida

De igual forma, en la figura 4.2 se ilustra el funcionamiento de un puente inversor monofásico considerando la figura 3.2. Este consiste en cuatro IGBT, una fuente de voltaje de CD (que puede ser un capacitor), y dos puntos de conexión a, b al nodo del sistema de potencia. El voltaje de

corriente directa es convertido en un voltaje de CA cuando el transistor apropiado es encendido/apagado secuencialmente.

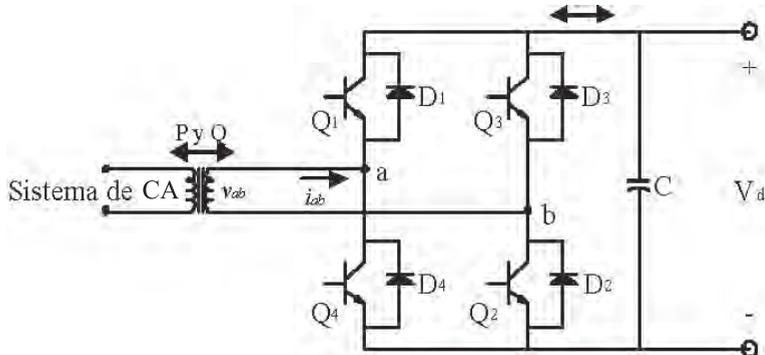


Figura 4.2 Puente inversor monofásico

Con los IGBT 1-2 encendidos y 3-4 apagados, el voltaje v_{ab} es $+V_{CD}$ para medio ciclo, mientras que con 3-4 encendidos y 1-2 apagados, el voltaje v_{ab} es $-V_{CD}$ para el siguiente medio ciclo. Este voltaje es independiente de la magnitud, ángulo y forma de onda del voltaje en el nodo de CA. La corriente de CA es el resultado de la interacción del voltaje generado por el convertidor, el voltaje en el nodo de CA y la impedancia entre ellos. Si en el inversor de la figura 4.2, la corriente que fluye desde el lado de CA al convertidor, i_{ab} , es una senoide como se muestra en la figura 4.3 [2]:

- Entre el tiempo $[t_1, t_2]$, con los IGBT 1-2 encendidos y 3-4 apagados, v_{ab} es positivo e i_{ab} es negativo. La corriente fluye a través de Q_1 desde el lado de CA, punto a , y retorna por el punto b a través del dispositivo Q_2 ; esto es, el flujo es del lado de CD al lado de CA. Esta es una acción inversora.
- Entre $[t_2, t_3]$, la corriente cambia de polaridad y fluye a través de los diodos 1-2, fluyendo la potencia del lado de CA hacia el lado de CD. En esta etapa la VSC se comporta como un rectificador. Durante este período, los IGBT 1-2 continúan encendidos, sólo que no conducen corriente en forma inversa, por lo que ésta fluye a través de los diodos.
- Entre $[t_3, t_4]$, con los IGBT 3-4 encendidos y 1-2 conmutados, v_{ab} es negativo mientras que i_{ab} cambia de polaridad respecto al caso anterior. La corriente fluye a través de los IGBT 3-2, esto es, el flujo es del lado de CD hacia el lado de CA.
- Entre $[t_4, t_5]$ sucede un caso similar al intervalo $[t_2, t_3]$, la corriente fluye a través de los diodos 3-4 (acción rectificadora).

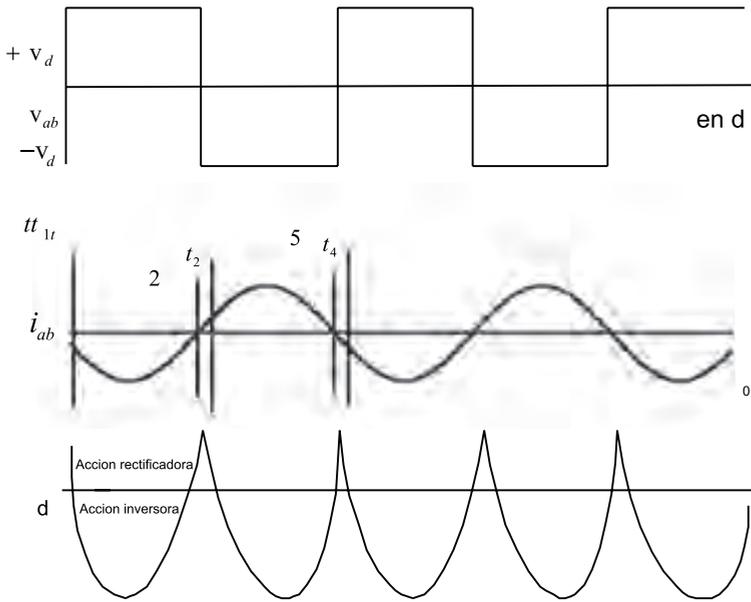


Figura 4.3 Formas de onda para un puente VSC monofásico

Aquí se observa que una VSC realiza tanto acción inversora, debido a la conmutación de los transistores, como acción rectificadora por parte de los diodos; esto es posible por el intercambio de corriente que existe entre el convertidor y el sistema de CA.

Por su forma de operar, los inversores se pueden clasificar en tres grandes grupos: (i) configuración multipulso; (ii) configuración multinivel; (iii) esquema PWM (*Pulse Width Modulation*).

LA CONFIGURACIÓN MULTIPULSO

Entre las topologías de inversores, las configuraciones multinivel y multipulso son más apropiadas para aplicaciones de compensación de potencia reactiva. En estas aplicaciones, la frecuencia de conmutación puede mantenerse baja para minimizar las pérdidas por conmutación y la interferencia electromagnética [4].

Algunos StatCom comerciales instalados son: el StatCom instalado en Japón en 1991, el cual utiliza ocho inversores de seis pulsos, cada uno con una capacidad de 10 MVA, conectados a un transformador principal para constituir un StatCom de 48 pulsos.

En 1995 la Tennessee Valley Authority (TVA) instaló un StatCom de 100 MVA 48-pulsos en la subestación Sullivan [15]. Otra aplicación en alta tensión de un inversor multipulsos es el UPFC de 160 MVA, instalado

en la subestación Inez de la American Electric Power (AEP) en Kentucky, EE.UU., basado en dos inversores idénticos de 48-pulsos.

El polo de dos niveles ilustrado en la figura 4.1, es el arreglo de conmutación más simple capaz de producir una salida de CA a partir de una fuente de CD, en la forma de ondas cuadradas simples conforme se conmuta la fuente de voltaje CD. A continuación se describen otros arreglos.

Inversor de seis pulsos

La operación multipulso se consigue conectando puentes trifásicos idénticos, a transformadores que tienen salidas con desplazamientos de fase entre sí, como se ilustra en la figura 4.4. Las señales de voltaje provenientes de devanados conectados en estrella y delta presentan un desplazamiento de 30° , y un puente convertidor de seis pulsos, conectado a cada transformador, exhibe una operación equivalente de 12 pulsos, eliminando el quinto y séptimo armónicos. Este principio puede ser extendido a 24 y 48 pulsos, sumando en las salidas de los transformadores las salidas provenientes de convertidores de seis pulsos (cuatro para un esquema de 24-pulsos, y ocho para la operación de 48). Así, la cancelación armónica se logra con la conexión de los secundarios de los transformadores, de modo que la dificultad para estructurar un convertidor multipulsos de potencia, es la complejidad de los arreglos magnéticos requeridos. La operación del convertidor se lleva a cabo aplicando pulsos de disparo de frecuencia baja (generalmente la frecuencia de línea) a las compuertas de los interruptores de potencia. Dada esa baja frecuencia de conmutación, las pérdidas representan sólo un tercio de las pérdidas del convertidor, las dos terceras partes restantes se deben a la interfase magnética (pérdidas por conducción) [3].

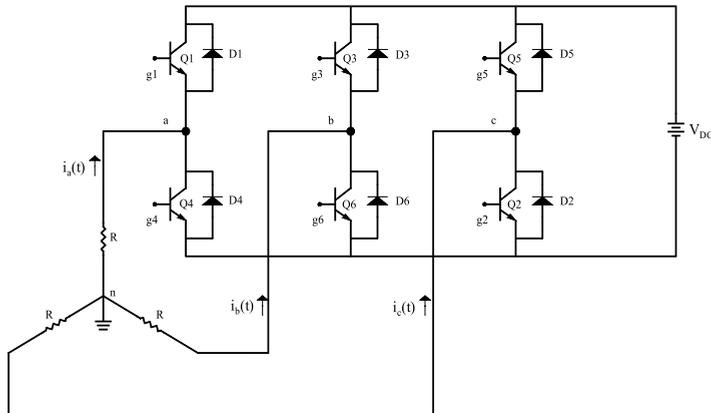


Figura 4.4 Puente trifásico elemental

Las señales de disparo g_i aplicadas a los transistores, se generan de modo que cada uno de ellos conduce 180° al conectar el inversor a una carga resistiva, como se ilustra en la figura 4.5

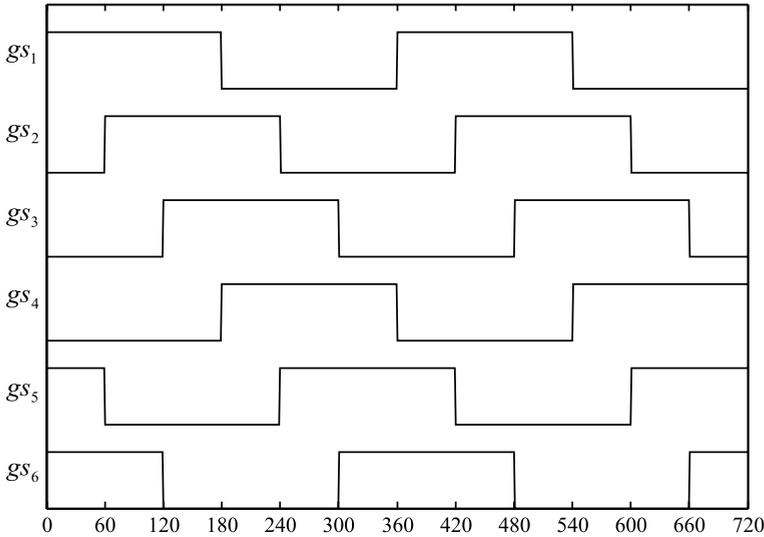


Figura 4.5 Señales de disparo para el puente de seis pulsos

El inversor puede considerarse como la combinación de tres inversores monofásicos, donde cada fase produce una salida desplazada $\pm 120^\circ$ respecto a las otras. Las señales de disparo están desplazadas 60° una de otra. La secuencia de conmutación mostrada en la figura 4.5 genera los voltajes línea-a-línea $v_{ab}(t)$, $v_{bc}(t)$, y $v_{ca}(t)$ de las figuras 4.6 y 4.7. Estos voltajes tienen un ancho de 120° con un pico de voltaje de magnitud V_{CD} . Para cada intervalo de 60° se activan diferentes secuencias de operación [17]. Por ejemplo, en el primer medio ciclo la secuencia de operación es: a) conducen 1-5-6, b) 1-2-6, y c) 1-2-3.

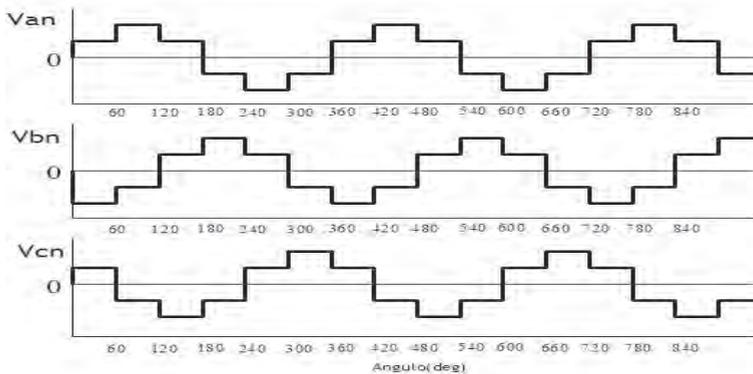


Figura 4.6 Voltajes de línea-neutro del VSC seis pulsos

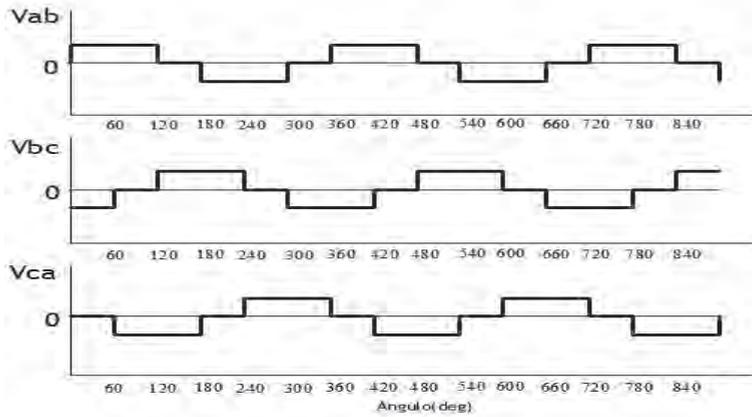


Figura 4.7 Voltajes de línea-línea del VSC seis pulsos

Secuencia 1-5-6; $0 \leq \omega t \leq \pi/3$

$$v_{an} = v_{cn} = 1/3 V_{DC}$$

$$v_{bn} = -2/3 V_{DC}$$

Secuencia 1-2-6; $\pi/3 \leq \omega t \leq 2\pi/3$

$$v_{an} = 2/3 V_{DC}$$

$$v_{bn} = v_{cn} = -1/3 V_{DC}$$

Secuencia 1-2-3; $2\pi/3 \leq \omega t \leq \pi$

$$v_{an} = v_{bn} = 1/3 V_{DC}$$

$$v_{cn} = -2/3 V_{DC}$$

El medio ciclo posterior se genera de forma similar, siendo la parte complementaria de las secuencias anteriores. La sincronización y frecuencia de los voltajes generados dependen directamente de la frecuencia y sincronización de las señales de disparo y no del tipo de carga. El voltaje pico depende del voltaje de CD.

El contenido armónico de los voltajes $v_{ab}(t)$ y $v_{an}(t)$ se obtienen aplicando análisis de Fourier a las formas de onda de las figuras 4.6 y 4.7. Los valores instantáneos de $v_{ab}(t)$ y $v_{an}(t)$ son:

$$v_{ab}(t) = \sum_{n=1}^{\infty} V_{ab_n} \sin\left(n\omega t + \frac{\pi}{6}n\right) \quad (104)$$

$$v_{an}(t) = \sum_{n=1}^{\infty} V_{an_n} \sin(n\omega t) \quad (105)$$

donde:

$$T = 2\pi$$

es el período

$$V_{ab_n} = \frac{4}{n\pi} V_{DC} \cos\left(\frac{\pi}{6} n\right) \quad \forall n = 6r \pm 1, \quad r = 0, 1, 2, \dots \quad (106)$$

$$V_{an_n} = \frac{4}{3n\pi} V_{DC} \left(\cos\left(\frac{\pi}{3} n\right) + 1 \right) \quad \forall n = 6r \pm 1, \quad r = 0, 1, 2, \dots \quad (107)$$

En las ecuaciones (106) y (107) el índice armónico es $n = 6r \pm 1$, siendo r cualquier entero positivo; esto es, $n = 1, 5, 7, 11, 13, \dots$ El valor pico de los componentes fundamental y los componentes de orden superior de los voltajes se expresan mediante las ecuaciones (108) y (109):

$$V_{ab_1} = 1.1026V_{DC}; \quad V_{ab_n} = \frac{1.1026}{n} V_{DC} \quad (108)$$

$$v_{an_1} = 0.6366V_{DC}; \quad v_{an_n} = \frac{0.6366}{n} V_{DC} \quad (109)$$

Los componentes fundamental y armónicos de los voltajes línea-línea y los voltajes línea-neutro están desplazados 30° unos de otros. La amplitud de los voltajes línea-línea es $\sqrt{3}$ veces la amplitud del voltaje línea-neutro, y los componentes armónicos no incluidos en el conjunto $n = 12r \pm 1$ están en oposición de fase. Esto se describe mediante:

$$V_{ab_n} = (-1)^r \sqrt{3} V_{an_n} \quad (110)$$

donde $n = 6r \pm 1$ y $r = 0, 1, 2, \dots$

Inversor de 12 pulsos

Suponga que un inversor de seis pulsos se conecta a un transformador estrella-estrella con relación 1:1, y un segundo inversor genera un voltaje línea-línea atrasado 30° con respecto al voltaje del otro inversor con la misma magnitud, figura 4.8 Esto es:

$$v_{ab}(t)_2 = \sum_{n=1}^{\infty} V_{ab_n} \sin(n\omega t) \quad (111)$$

Si el segundo inversor se conecta a un transformador delta-estrella con una relación de vueltas $1:1/\sqrt{3}$, el voltaje línea-neutro en el secundario conectado en estrella sería:

$$v_{anY}(t)_2 = \frac{1}{\sqrt{3}} \sum V_{ab_n} \sin(n\omega t) \quad \forall n = 6r \pm 1, r = 0,1,2,\dots \quad (112)$$

Entonces el voltaje línea-línea es:

$$v_{abY}(t)_2 = \sum_{n=1}^{\infty} \frac{V_{ab_n}}{(-1)^r} \sin\left(n\omega t + \frac{\pi}{6}n\right) \quad \forall n = 6r \pm 1, r = 0,1,2,\dots \quad (113)$$

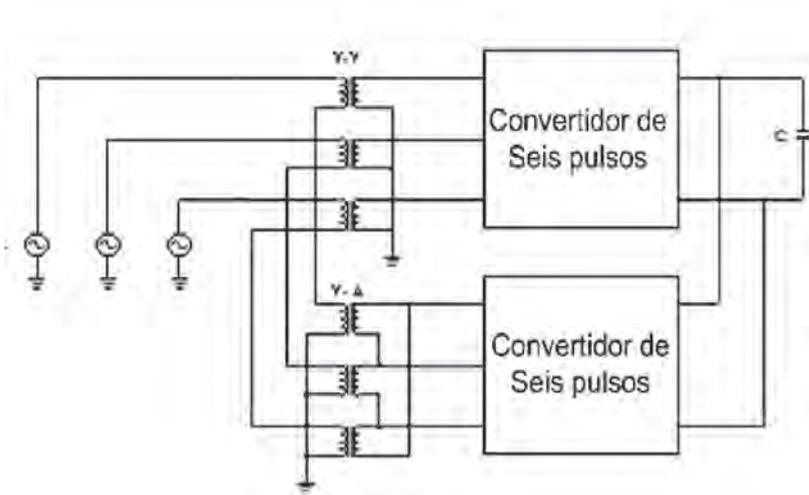


Figura 4.8 Arreglo del inversor de doce-pulsos

Las dos formas expresadas en las ecuaciones (104) y (113) se suman para generar la tercera forma de onda $V_{ab12}(t)$, más cercana a una onda senoidal:

$$v_{ab12}(t) = v_{ab}(t) + v_{abY}(t)_2 \quad (114)$$

Así, $v_{ab12}(t)$ es el voltaje línea-línea de un inversor de doce-pulsos. Las formas de onda se muestran en la figura 4.9. Puede mostrarse que el contenido armónico de estas señales es inferior a las correspondientes señales generadas por el arreglo de seis pulsos [17].

Los inversores de 24- y 48-pulsos se obtienen conectando dos y cuatro inversores de 12-pulsos, respectivamente, con un adecuado desplazamiento de fase entre ellos. Para sistemas de potencia el convertidor de 48 pulsos es la mejor opción, aunque con el uso de filtros sintonizados con las armónicas 23-25, un inversor de 24-pulsos podría ser suficiente. Por ejemplo, el inversor de 24-pulsos resulta combinando dos inversores de 12-pulsos con pulsos de disparo desplazados 15° entre sí, y proporcionando 15° de desplazamiento de fase mediante dos transformadores [17].

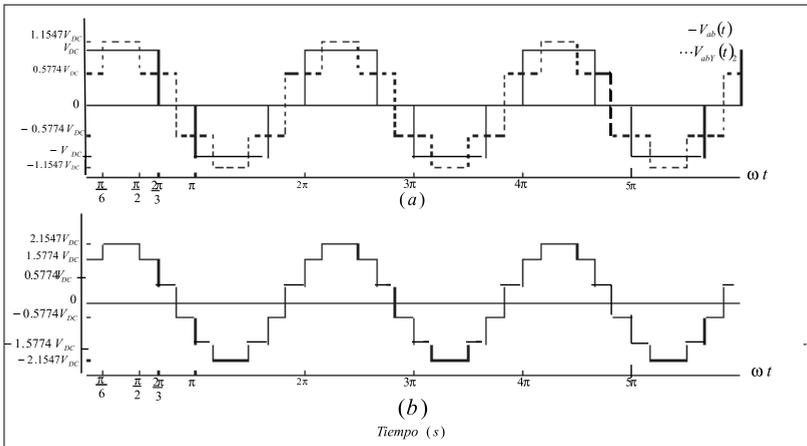


Figura 4.9 a) $v_{ab}(t)$ y $v_{ab}(t)$; b) voltaje de doce-pulsos

INVERSOR EN CONFIGURACIÓN MULTINIVEL

Un inversor multinivel es un convertidor formado por un arreglo de semiconductores de potencia usados como interruptores y un conjunto de fuentes de voltaje de corriente directa CD, regularmente modeladas como capacitores. La salida del convertidor es una señal escalonada. Cada escalón de voltaje es proporcionado por un capacitor diferente. Sumando los voltajes de los capacitores se pueden alcanzar altos niveles de tensión, mientras que el estrés en los semiconductores es bajo, pues se divide entre varios elementos. En la figura 4.10 se presenta el diagrama esquemático de un inversor de una fase con diferente número de niveles.

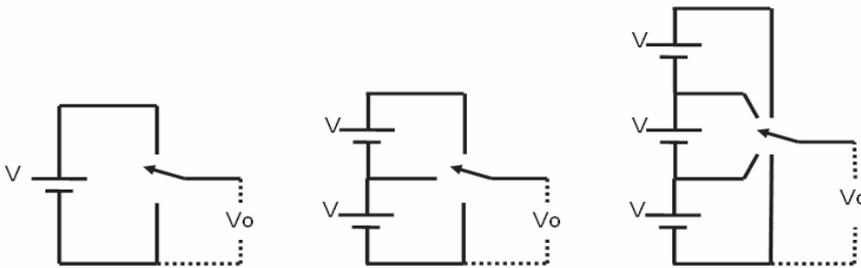


Figura 4.10 Inversor de dos, tres, y cuatro niveles

El primer inversor es de dos niveles, lo cual implica que genera un voltaje de salida de dos valores distintos, que en este caso es 0 y V. Considerando que m es el número de escalones o niveles en el voltaje de salida de una fase con respecto a la terminal negativa del inversor, entonces el número k de escalones de voltaje entre dos fases está dado por:

$$k = 2m + 1 \tag{115}$$

Mientras que el número de escalones p en el voltaje de fase de una carga trifásica en conexión estrella está dado por:

$$p = 2k - 1 \tag{116}$$

Al incrementar el número de niveles, el voltaje de salida tiene más escalones, lo que reduce la distorsión armónica del voltaje de salida. Sin embargo, si el número de niveles es muy grande, el control del inversor se vuelve difícil, sobre todo porque el controlador debe vigilar que la carga esté balanceada entre todos los capacitores, de modo que el voltaje en éstos no sea muy distinto.

Dentro de los convertidores multinivel existen diversas topologías, de las cuales se pueden mencionar: a) *diodo anclado*; b) *capacitor anclado*; c) *inversor en cascada con fuentes independientes*. Asimismo, existen diversos esquemas de modulación y control: (i) modulación de ancho de pulso senoidal multinivel; (ii) eliminación armónica selectiva multinivel; (iii) modulación de espacio vectorial. En las siguientes subsecciones se realiza una descripción general de las principales topologías.

Las características más relevantes de los inversores multinivel son las siguientes: a) pueden generar un voltaje de salida con una distorsión armónica despreciable y una baja relación dv/dt ; b) la corriente de entrada tiene una baja distorsión armónica; c) el voltaje de modo común generado es pequeño, con lo que se reduce el estrés en las cargas inductivas, y mediante técnicas de modulación el voltaje de modo común puede eliminarse; d) pueden operar con una frecuencia de conmutación baja.

Topología diodo anclado

Un inversor multinivel de topología diodo anclado de tres niveles se ilustra en la figura 4.11. La salida del inversor es el voltaje en la carga (*Load*). Los tres niveles posibles son $+V/2$, $-V/2$, y 0.

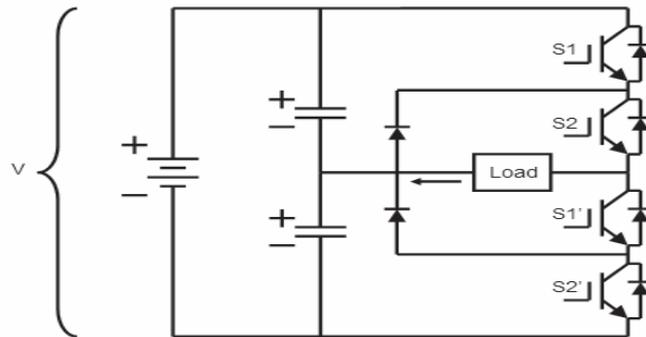


Figura 4.11 Inversor multinivel de tres estados, configuración diodo-anclado

En la figura 4.12 se muestra la generación del estado $+V/2$. Es importante notar que todo inversor debe conducir corriente en ambos sentidos, para que la fuente entregue potencia a la carga, y la carga entregue potencia a la fuente. La flecha junto a la carga indica la dirección de la corriente.

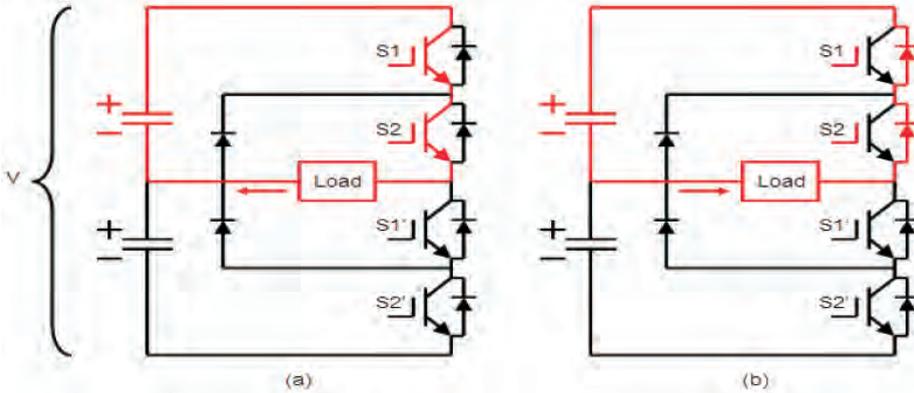


Figura 4.12 Inversor multinivel de tres estados, configuración diodo anclado, nivel $+V/2$

El caso en el que la fuente está entregando potencia a la carga se observa en la figura 4.12 a). Asimismo, en la figura 4.12 b) se observa el caso en el que la carga devuelve potencia a la fuente.

En la figura 4.13 se indica el estado en el que el voltaje en la carga es cero. Note que la carga no debe quedar en circuito abierto en ningún momento, pues la inductancia de la misma puede producir un alto voltaje que dañaría los interruptores.

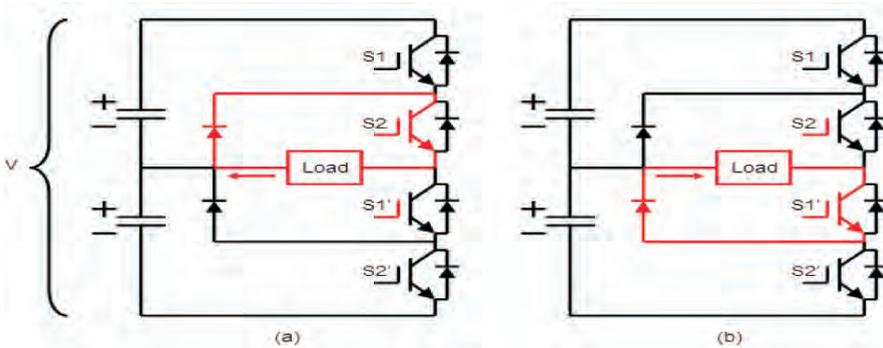


Figura 4.13 Inversor multinivel de tres estados configuración diodo anclado, nivel 0

La figura 4.14 ilustra la generación del estado $-V/2$. En la figura 4.14 a) se muestra el caso en el que la carga entrega potencia a la fuente; la figura 4.14 b) es el caso en el que la fuente entrega potencia a la carga.

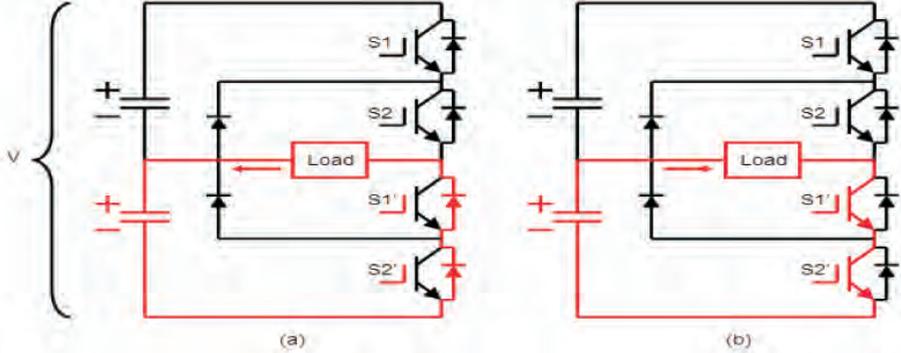


Figura 4.14 Inversor multinivel de tres estados configuración diodo anclado, nivel $-V/2$

Las señales de control de los interruptores se despliegan en la figura 4.15. Las primeras cuatro señales, llamadas S_x , representan señales lógicas en las que un 1 enciende el respectivo transistor, y un 0 lo apaga. La señal *Output* representa el voltaje en la carga. Note que los interruptores S_1 - S_1' y S_2 - S_2' son complementarios. Esta clase de arreglo geométrico se observa en la mayoría de los inversores multinivel, así como en el inversor con puente H convencional.

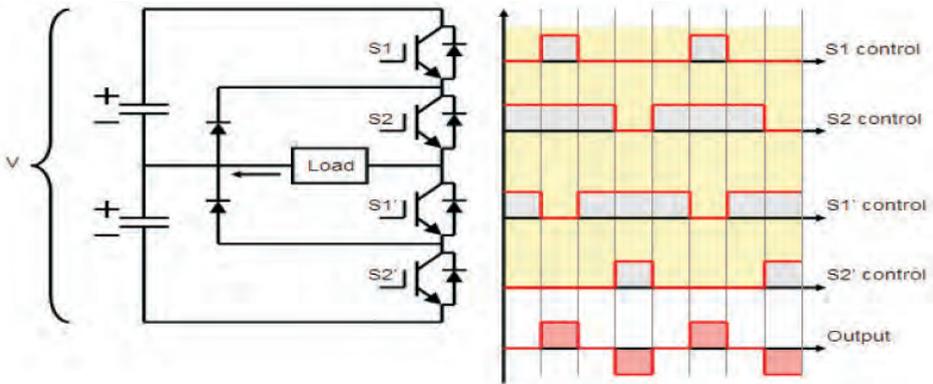


Figura 4.15 Señales de control y señal de salida del inversor de tres estados configuración diodo anclado

Así, los inversores multinivel sintetizan una forma de onda de voltaje a partir de varios niveles de fuentes de voltaje directo, obtenidas de vol-

tajes de capacitor. Conforme se incrementa el número de niveles, la onda sintetizada se aproxima a la onda senoidal, resultando en una distorsión armónica reducida. La figura 4.16 presenta un inversor monofásico de cinco niveles. Este convertidor es complejo y requiere una fuente de voltaje CD que se divide o se deriva para proporcionar un voltaje de referencia cero [4, 5]. Existen principalmente dos maneras de implementar un inversor de cinco niveles mediante *diodo anclado*. Una de ellas es la mostrada en la figura 4.16, que consiste en colocar dos inversores de tres niveles alimentados por la misma fuente, y la carga entre las salidas de dichos inversores.

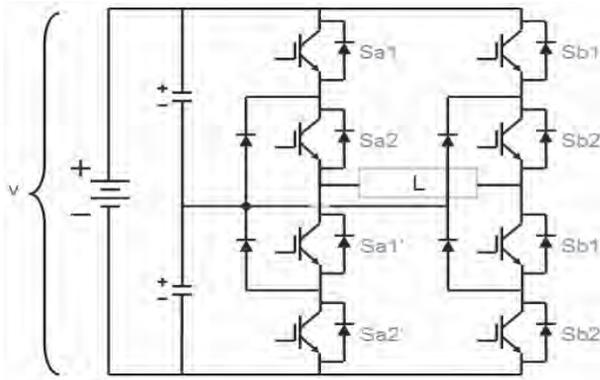


Figura 4.16 Inversor de cinco niveles, configuración diodo anclado

La otra posibilidad es aumentar los niveles en forma vertical, figura 4.17. En este caso, la alimentación $+V$ se divide entre cuatro capacitores, por lo que los niveles de salida son $+V/2$, $+V/4$, 0 , $-V/2$, $-V/4$.

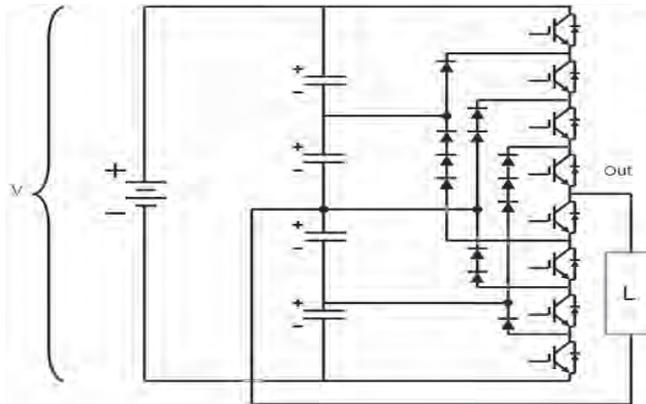


Figura 4.17 Inversor de cinco niveles, configuración diodo anclado

Los índices básicos para medir el estrés en un dispositivo, son la corriente que debe drenar cuando está encendido y el voltaje que debe bloquear cuando está apagado. En cuanto a la corriente, en esta topología todos los dispositivos están diseñados para soportar el nivel de corriente que se requiere en la carga. En cuanto al voltaje, cada IGBT debe soportar un nivel del inversor cuando está apagado, $V/(m-1)$, donde m es el número de niveles de voltaje. Por ejemplo, para el caso de cinco niveles, cada IGBT debe bloquear un nivel de tensión del inversor que es $V/4$ cuando está apagado. Sin embargo, los arreglos de diodos deben soportar diferentes niveles, es por eso que se agregan arreglos de diodos en serie. Los diodos en serie se usan para disminuir el estrés de voltaje en cada diodo. Un solo diodo podría hacer el trabajo si pudiera soportar un alto voltaje. El nivel de voltaje que cada diodo debe bloquear depende del estado de conducción y, en los casos anteriores, se han agregado los necesarios para que cada diodo soporte un nivel de voltaje del inversor. Por ejemplo, en los arreglos que bloquean tres niveles de voltaje, se han agregado tres diodos en serie.

Siguiendo las estrategias estudiadas para aumentar el número de niveles, la topología es capaz de manejar cualquier número de niveles, agregándolos verticalmente o colocando inversores frente-a-frente, de modo que el conjunto funcione como un convertidor de mayor cantidad de niveles. Agregar niveles a un convertidor mejora la calidad del voltaje de salida, pues este tiene una menor distorsión armónica. Aun así, los convertidores regularmente tienen un esquema de modulación PWM y alguna estrategia de control para disminuir la distorsión ocasionada por armónicas de bajo orden.

Sin embargo, el número de diodos se incrementa con el número de niveles, lo que limita su número, pues manejar un elevado número de diodos trae como consecuencia el problema del tiempo de recuperación inversa.

Así, la principal ventaja de los circuitos inversores multinivel es su capacidad para generar formas de onda de voltaje con bajo contenido armónico, sin requerir circuitos magnéticos. Esta ventaja se ve opacada por la complejidad del control y el tamaño de los capacitores CD, y/o la necesidad de componentes de potencia adicionales, por ejemplo, diodos de potencia y funciones de control para equalizar el voltaje CD.

Topología capacitor anclado

Otra topología del tipo multinivel es la llamada *capacitor anclado*, también denominada capacitor volante, cuya configuración elemental se muestra en la figura 4.18. Usualmente el inversor se representa como en el inciso a), aunque para explicar el flujo de corrientes se utilizará el esquema en b). No obstante, en el análisis se omite la fuente de CD; no se debe olvidar que los capacitores C2 tienen conexión a una fuente de CD, por lo que pueden suministrar potencia activa. No así C1 que, para mantener su voltaje, debe ser cargado y descargado mediante la estrategia de control empleada.

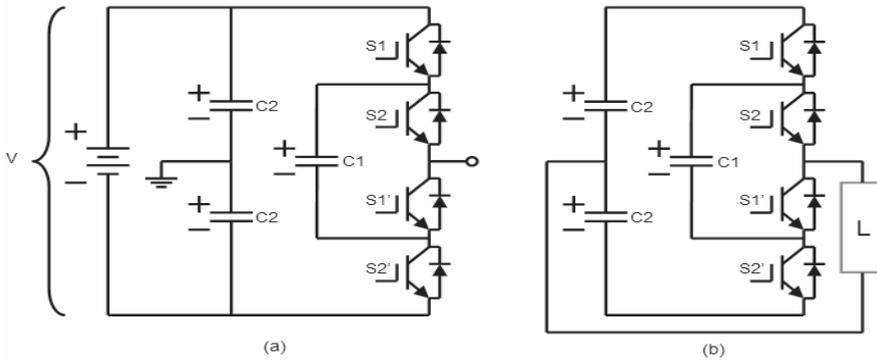


Figura 4.18 Inversor de tres niveles, configuración capacitor anclado

En el análisis se asume que los dos capacitores $C2$ y $C1$ están sometidos al mismo voltaje, $V/2$. Esto se realiza mediante una estrategia de balance de cargas. Los estados posibles de este inversor son similares a la estrategia de *diodo anclado* de tres niveles, $+V/2$, 0 y $-V/2$. En la figura 4.19 se presenta la generación del estado $+V/2$, con sus respectivas direcciones de flujo de corriente. Asimismo, en la figura 4.20 se observa la generación del respectivo estado $-V/2$.

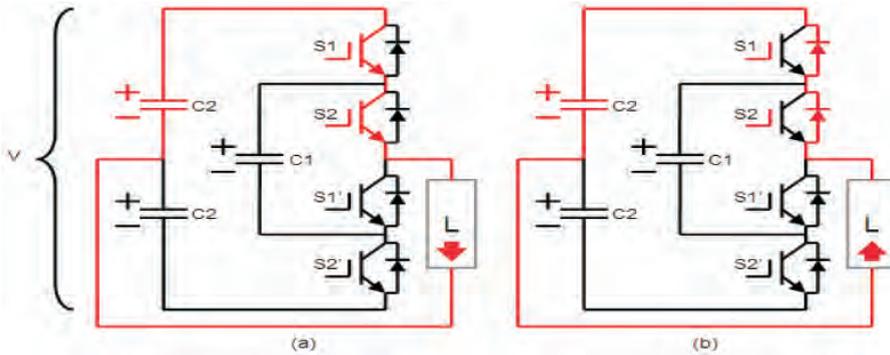


Figura 4.19 Inversor de tres niveles configuración capacitor-anchado, nivel $+V/2$

Note que para estas dos condiciones, el capacitor $C1$ no realiza ninguna función y se mantiene prácticamente desconectado. Los dos capacitores $C2$ proveen el voltaje de la carga. La corriente en la carga puede tener ambos sentidos, lo que ocasiona que en una parte del ciclo de CA, la carga tome potencia de la fuente y la devuelva en la otra parte del ciclo.

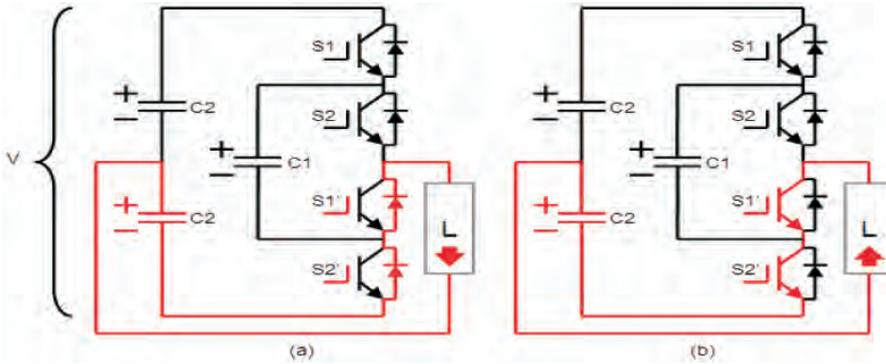


Figura 4.20 Inversor de tres niveles configuración capacitor-anclado, nivel $-V/2$

La dirección de la corriente en la carga será fundamental para los niveles de salida cero, pues en ellos esta corriente, carga y descarga el capacitor C1. Se cuenta con dos estados de salida cero, en cada estado se puede cargar o descargar el capacitor C1. El controlador debe ser capaz de mantener el voltaje de C1 en un valor $V/2$ manejando los tiempo del estado cero para cargar o descargar C1, según se requiera.

En la figura 4.21 se exhibe una opción de la generación del primer estado de salida cero. En este caso S1-S1' están conduciendo. Observe que los capacitores C2-superior y C1 están en serie con la carga, pero sus voltajes opuestos se cancelan. Esto implica que el voltaje en la carga sea cero, siempre y cuando ambos capacitores tengan el mismo voltaje. Asimismo, en a) C1 se está cargando, y en b) C1 se está descargando.

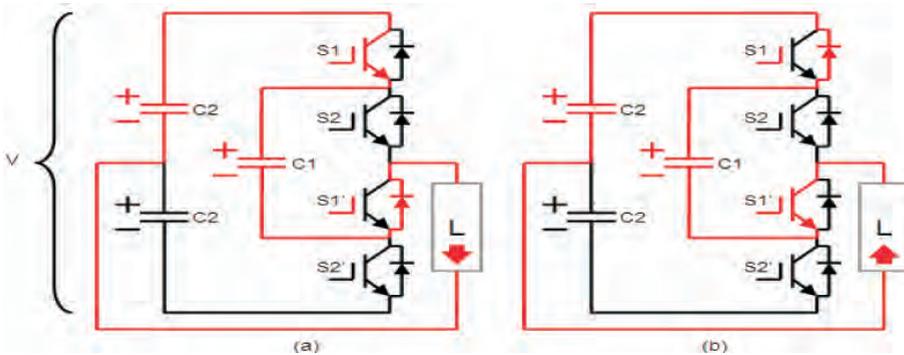


Figura 4.21 Inversor de tres niveles configuración capacitor-anclado, nivel cero – caso 1

La figura 4.22 ilustra la generación alternativa del estado de salida cero. Ahora son S2-S2' los interruptores encendidos.

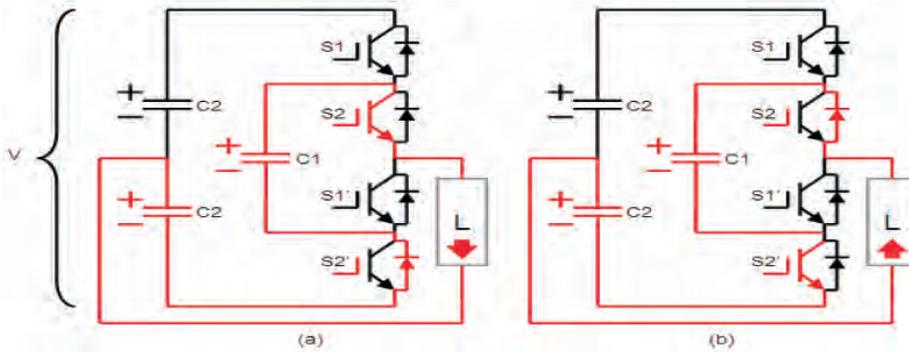


Figura 4.22 Inversor de tres niveles configuración capacitor anclado, nivel cero – caso 2

Note que en a) $C1$ se está descargando, mientras que en b) $C1$ se está cargando. Así, para la misma corriente de carga, en el nivel cero, cambiar de un estado a otro invierte el sentido de la corriente en $C1$, lo que puede cargar o descargar dicho capacitor.

Una estrategia de control del voltaje en $C1$ puede ser un control retroalimentado del voltaje en el capacitor, que modifique los estados cero. Si el voltaje en el capacitor es menor que $V/2$ entonces para el nivel cero se deben elegir la posición de la figura 4.21 a) o figura 4.22 b). Si el voltaje excede $V/2$, entonces se debe elegir la opción de la figura 4.21 b) o figura 4.22 a). De esta forma se mantiene el voltaje de $C1$ en un valor $V/2$.

El problema de balance de carga en los capacitores aplica para todos los convertidores multinivel en donde existan capacitores en serie. En la presente configuración se debe cuidar que exista un balance entre los capacitores $C2$ para que en ambos haya un voltaje de $V/2$, aunque es relativamente más simple que mantener constante el voltaje de $C1$. Por tanto deberá asegurarse que el voltaje de salida no tenga componente de CD.

En la figura 4.23 se despliegan las señales lógicas de disparo junto con el voltaje de salida. En el caso de la topología *capacitor anclado*, se cuenta con más de un estado para la mayoría de los niveles, así que esta secuencia de señales de disparo es sólo una opción, ya que existen muchas secuencias distintas para generar la misma señal de salida.

Análogamente a la topología *diodo anclado*, es posible lograr una configuración de cinco niveles colocando dos inversores de tres niveles frente-a-frente, como se ilustra en la figura 4.24 Los cinco posibles niveles de esta configuración son $+V$, $+V/2$, 0 , $-V/2$ y $-V$.

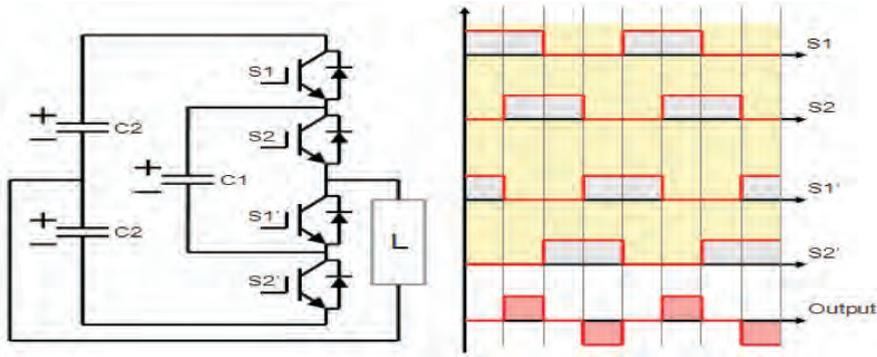


Figura 4.23 Señales de control del inversor capacitor anclado de 3 niveles

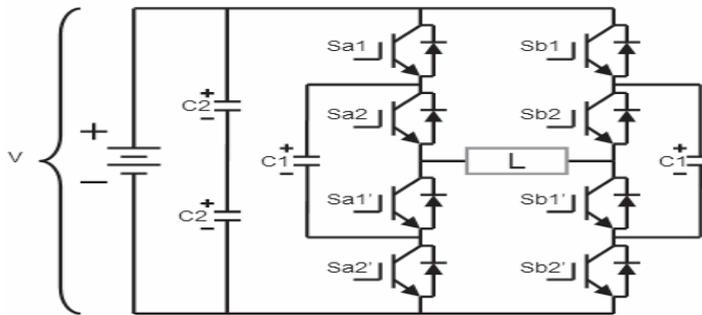


Figura 4.24 Inversor de cinco niveles, configuración capacitor anclado conexión cara a cara

MODULACIÓN POR ANCHO DE PULSO (PWM)

El uso de múltiples pulsos cada medio ciclo, variando su ancho, permite variar la amplitud del voltaje CA. La técnica de modulación por ancho de pulso (PWM) se emplea comúnmente para generar formas de onda de salida con alta calidad, mediante un convertidor de baja potencia. Aplicaciones típicas son: el control de motores y redes de distribución [8-10]. Con esta técnica, la salida de cada polo del convertidor se conmuta varias veces durante un ciclo entre las terminales positiva/negativa de la fuente CD.

La técnica PWM requiere un incremento considerable en el número de las operaciones de los interruptores (una alta frecuencia de conmutación), de modo que normalmente se incrementan las pérdidas por conmutación [3,11-12].

Sin embargo, la siempre creciente frecuencia de conmutación de los interruptores de potencia de estado sólido hace posible el uso de la técnica PWM, en aplicaciones de potencia [13-14].

En el caso de los controladores FACTS basados en inversores, la técnica de modulación por ancho de pulso (PWM) se utiliza para el control en fuentes convertidoras de voltaje y corriente, para proporcionar las señales de disparo a los dispositivos de electrónica de potencia [12].

Modulación senoidal

El valor promedio (CD) de cualquier onda está determinado por el área existente entre la señal y su referencia. En una forma de onda rectangular, si se cambia el ancho del pulso, manteniendo el período constante, se tiene la posibilidad de controlar el valor promedio de la señal (V_d) [1-2]. De esta manera, el objetivo de la modulación de ancho de pulso es generar una onda en la que, utilizando una estrategia de control, se pueda variar el ancho de los pulsos. Los esquemas PWM son ampliamente utilizados en aplicaciones de electrónica de potencia tales como los inversores [1-2].

El método PWM senoidal, llamado también SPWM es muy popular en aplicaciones industriales y es utilizado extensivamente. En este tipo de modulación, en lugar de mantener constante el ancho de todos los pulsos, como sucede en otros esquemas PWM, el ancho de cada pulso varía en proporción con la amplitud de una onda senoidal moduladora, que se compara con una onda portadora triangular como se muestra en la figura 4.25 [16]; los puntos de intersección naturales entre ambas ondas determinan la señal modulada de salida.

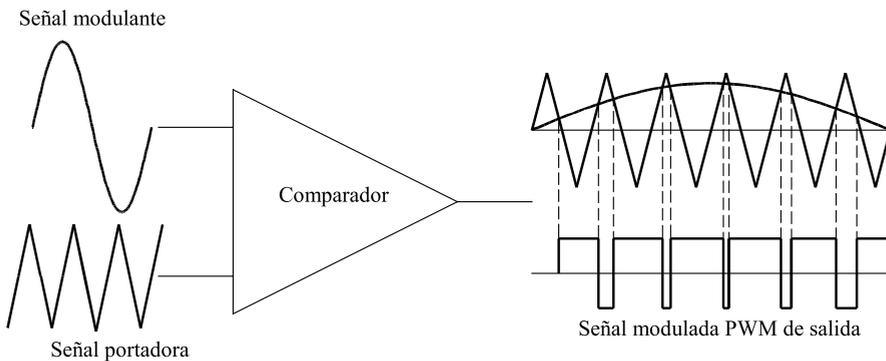


Figura 4.25 Principio de la modulación senoidal con onda portadora triangular

En la modulación senoidal con muestreo natural, una señal modulante senoidal $v_m(\omega t) = V_m \text{sen}(\omega t)$ se aplica a una señal portadora triangular $v_c \omega t$ de amplitud máxima V_c y desplazada por un componente de CD como se ilustra en la figura 4.26 [16]. Los puntos de intersección natural de $v_m \omega t$ y $v_c(\omega t)$, determinan el tiempo de encendido y la duración de los pulsos modulados. Así, el patrón de pulsos se describe debido al muestreo natural. En la figura 4.26 la amplitud V de la señal de salida PWM $v_o(\omega t)$ está

determinada por el voltaje CD de alimentación (no por el patrón de conmutación) si el esquema se aplica a un inversor.

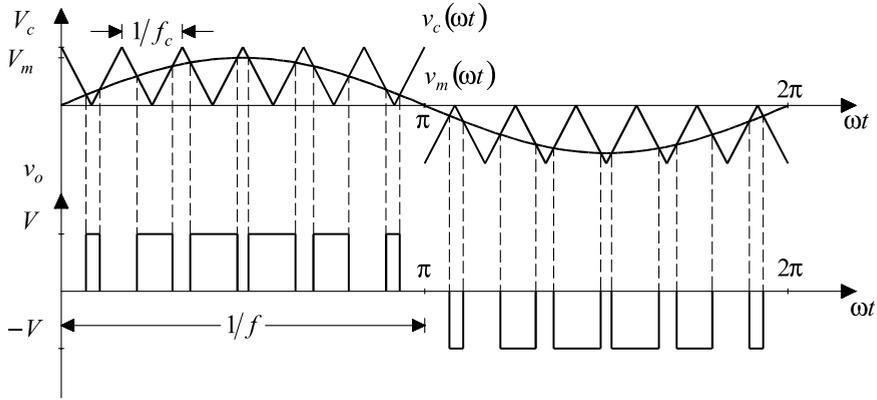


Figura 4.26 Forma de onda PWM que se obtiene utilizando SPWM con muestreo natural, $p=12$, $M=0.75$.

En las formas de onda PWM el patrón de pulsos depende de la relación del pico de voltaje modulante V_m al pico de voltaje de la onda portadora V_c . Esta relación a menudo es llamada *índice de modulación* o *relación de modulación*, M [16].

$$M = \frac{V_m}{V_c} \quad (117)$$

Variando el valor del voltaje pico V_m y manteniendo V_c constante se controla el índice de modulación y, por consiguiente, la señal de salida modulada. El rango usual de M es $0 \leq M \leq 1$.

Una propiedad básica de las formas de onda PWM es la relación entre las frecuencias de la onda portadora y modulante, llamada *relación de modulación de frecuencia*, p [16].

$$p = \frac{f_c}{f_m} \quad (118)$$

donde:

f_c es la frecuencia de la onda portadora.
 f_m es la frecuencia de la onda modulante.

Si hay un número entero de ciclos de la onda portadora en cada ciclo de la onda modulante (p entero) la modulación es síncrona, y en este caso se dice que ambas señales están sincronizadas. De otra manera, la modulación es asíncrona, y la señal portadora evoluciona libre con respecto a la señal modulante. Si p es un entero impar, entonces, la forma de onda modulada tiene simetría de media onda (los medios ciclos positivos y negativos son simétricos) y no contiene armónicos de orden par. Con un valor grande de p los armónicos dominantes de la forma de onda PWM son también grandes y están agrupados alrededor de la frecuencia portadora y sus bandas laterales.

En operación trifásica la onda portadora triangular usualmente es simétrica, sin componente de CD. En este esquema se tienen tres ondas senoidales modulantes, cada una de ellas desplazada 120° , y se puede utilizar una portadora común para las tres fases [16]. Esto se exhibe en la figura 4.27, así como las formas de onda que se obtienen para un inversor trifásico; en ésta, la relación de frecuencia $p = 9$ y la relación de modulación M es casi la unidad. Para obtener a la salida una onda de frecuencia y voltaje variables, se pueden variar la frecuencia y la amplitud de la onda modulante. Para una operación trifásica balanceada, p debe ser un múltiplo impar de 3. La frecuencia portadora es entonces un múltiplo de 3 de la frecuencia modulante. Así, la forma de onda modulada de salida no contiene a la frecuencia portadora o sus armónicos.

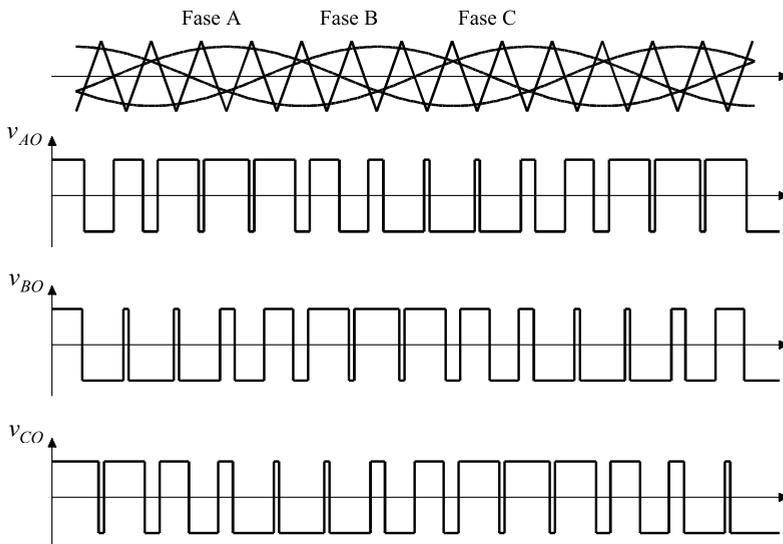


Figura 4.27 Formas de onda de voltaje para un inversor trifásico SPWM

En general, los armónicos k de la forma de onda modulada están dados por

$$k = np \pm m \quad (119)$$

donde:

n es el orden armónico de la portadora.

m es la banda lateral de la portadora.

Sobremodulación en esquemas de PWM senoidal

La operación cuando M se incrementa más allá de la unidad se llama sobremodulación [16], y en este caso, el voltaje de salida ya no es proporcional a M , figura 4.28. En esta condición ya no se presenta el proceso natural de muestreo. Existen intersecciones entre la onda portadora y la onda modulante que se pierden, tal como se ilustra en la figura 4.29. El resultado es que hay pulsos que no se presentan, siendo este un problema de saltos de voltaje, como se ilustra en la figura 4.30.

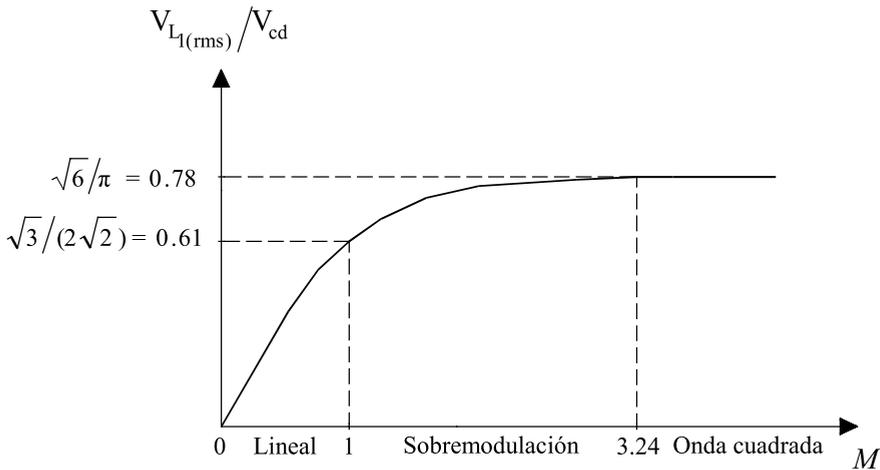


Figura 4.28 Valor RMS del voltaje fundamental de línea relativo a V_d contra la relación de modulación para SPWM

Cuando M alcanza el valor $M=3.24$, las formas de onda originales de PWM se pierden y se entra en operación de onda cuadrada. La variación del voltaje fundamental modulado de salida contra la relación de modulación M se muestra en la figura 4.28.

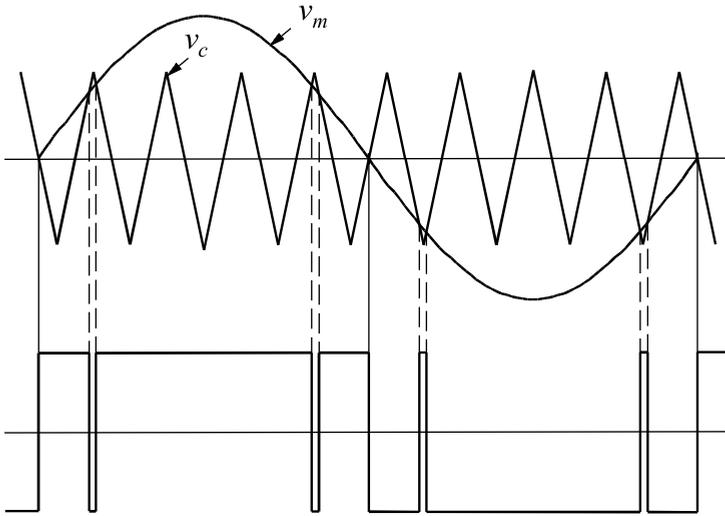


Figura 4.29. Sobremodulación en SPWM

En comparación con la operación en el rango lineal, la sobremodulación conduce a una operación de onda cuadrada e incrementa el contenido armónico.

Otras opciones para incrementar el voltaje fundamental modulado de salida más allá de $M=1$, sin incremento de armónicos, es emplear una onda de referencia (modulante) no senoidal, como una onda trapezoidal, o una senoidal con componente de tercera armónica.

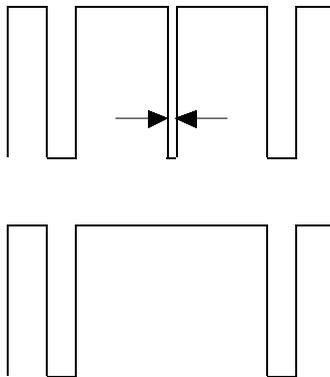


Figura 4.30 Saltos de voltaje debidos a la sobremodulación

Como alternativa al muestreo natural, la onda de referencia senoidal puede muestrearse a intervalos de tiempo regulares. Si el muestreo ocurre en instantes que corresponden a los picos positivos, o a los picos positivos y negativos de la onda portadora triangular, como se ilustra en las figuras 4.31 y 4.32, el proceso se conoce como muestreo regular o uniforme. Un

valor de muestreo de la onda senoidal de referencia se mantiene constante hasta el próximo instante de muestreo cuando ocurre una transición escalón. La versión escalonada de la onda de referencia se vuelve la onda modulante. La onda modulada de salida resultante está definida por las intersecciones entre la onda portadora y la onda escalonada modulante.

Cuando el muestreo ocurre a la frecuencia de la portadora y coincide con los picos positivos de la onda portadora, como se ilustra en la figura 4.31, las intersecciones de los lados adyacentes de la portadora con la onda escalonada son equidistantes con respecto a los picos no muestreados (negativos). Para cualquier valor de M el ancho de los pulsos de la onda modulada son simétricos con respecto a los picos inferiores (no muestreados) de la portadora, a este proceso se le llama *muestreo regular simétrico*. El ancho de los pulsos es proporcional a la altura del escalón respectivo, y el centro de los pulsos ocurre a tiempos de muestreo uniformemente espaciados.

Cuando el muestreo coincide con ambos, el pico positivo y negativo de la onda portadora, como se ilustra en la figura 4.32, el proceso se conoce como *muestreo regular asimétrico*. Los lados adyacentes de la onda portadora triangular intersectan la onda modulante escalonada a niveles diferentes de escalón. Así, la onda modulada resultante tiene pulsos que son asimétricos con respecto al punto de muestreo.

Muestreo y retención en f_c

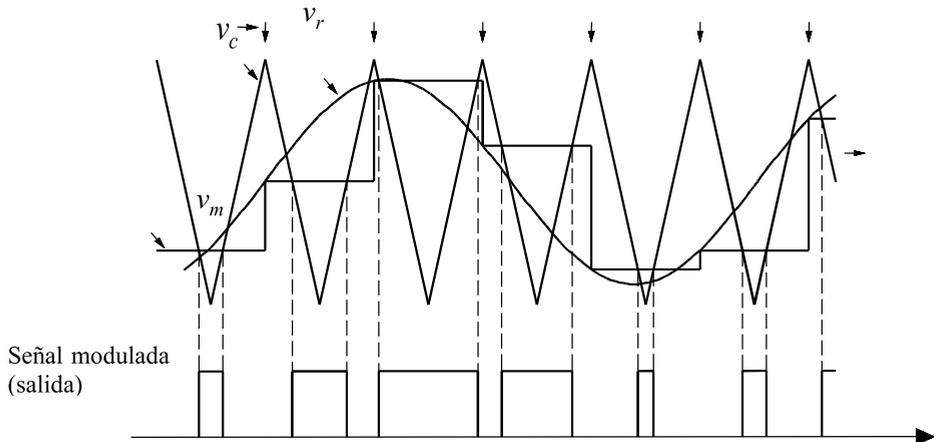


Figura 4.31 Esquema SPWM de muestreo regular simétrico

Tanto para el muestreo regular simétrico como asimétrico, las formas de onda moduladas de salida pueden describirse por expresiones analíticas. El número de valores necesarios de una onda senoidal para definir una onda escalonada de muestreo es igual a la relación de modulación de

frecuencia p (muestreo simétrico) o al doble, $2p$ (muestreo asimétrico). En ambos casos, el número de valores de muestreo es mucho menor que en el muestreo natural que requiere una muestra a instantes de muestreo de cada grado o medio grado de la onda senoidal modulante.

Muestreo y retención en $2f_c$

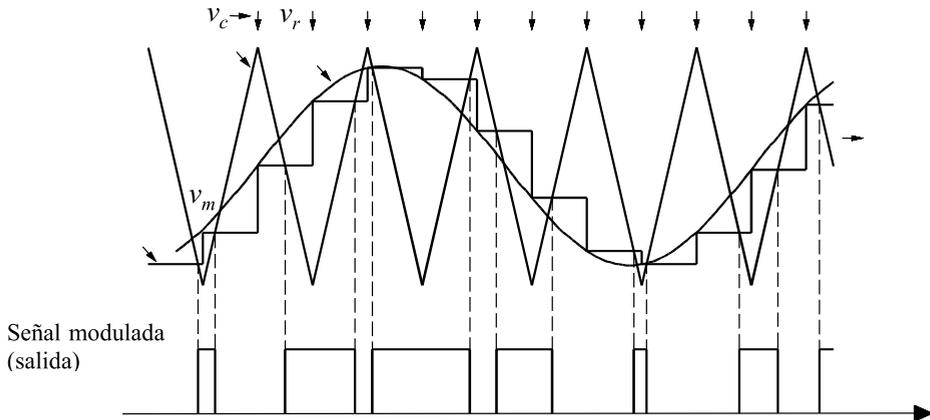


Figura 4.32. Esquema SPWM de muestreo regular asimétrico

Es común que los sistemas PWM sean actualmente implementados con técnicas digitales modernas usando PROM (memoria programable de sólo lectura) y circuitos LSI (integración a gran escala). Esto es para evitar el uso de sistemas electrónicos analógicos con sus problemas asociados como nivel de CD, la confiabilidad en osciladores de baja frecuencia, etc. La razón de que se prefiera usar la técnica PWM de muestreo regular en lugar de la técnica de muestreo natural se debe a que requiere mucha menor memoria computacional basada en ROM. Además, la naturaleza analítica de las formas de onda del PWM de muestreo regular hace esta aproximación factible para su implementación usando técnicas basadas en microprocesador, ya que el ancho de los pulsos es fácil de calcular.

REFERENCIAS

- [1] Randall Shaffer, *Fundamentals of Power Electronics*, Ed. Charles River Media, 2005.
- [2] Muhammad H. Rashid, *Power Electronics Handbook*, Second Edition: Devices, Circuits and Applications. Academic Press.
- [3] CIGRE, "Static Synchronous Compensator", Working Group 14.19, September 1998.
- [4] Ekanayake, J. B., Jenkins, N., "A Three-level Advanced Static VAR Compensator", *IEEE Trans. on Power Delivery*, Vol. 11, no. 1, pp. 540-545.

- [5] C. J. Hatziaodoniou, F. E. Chalkiadakis, "A 12-pulse Static Synchronous Compensator for the Distribution System Employing the 3-Level GTO-Inverter", *IEEE Trans. on Power Delivery*, Vol. 12, no. 4, October 1997, pp. 1830-1835.
- [6] Krshnat V. Patil, "Dynamic Compensation of Electrical Power Systems Using a New BVSI-StatCom", Ph. D. Thesis, University of Wester Ontario, London Ontario, Canada, March 1999.
- [7] B. Han, S. Back, H. Kim, G. Karady, "Dynamic Characteristic Analysis of SSSC Based on Multibrige Inverter", *IEEE Trans. on Power Delivery*, Vol. 17, no. 2, April 2002, pp. 623-629.
- [8] J. G. Kassakian, M. F. Schlecht, G. C. Verghese, *Principles of Power Electronics*, Addison-Wesley, 1992.
- [9] N. Mohan, T. M. Undeland, W. P. Robbins, *Power Electronics: Converters, Applications, and Desing*, John Wiley and Sons, 1995.
- [10] Olimpo Anaya-Lara, E. Acha, "Modeling and Analysis of CustomPower Systems by PSCAD/EMTDC", *IEEE Trans. on Power Delivery*, Vol. 17, no.1, January 2002, pp. 266-272.
- [11] Narain G. Hingorani, Laszlo Gyugyi, *Understanding FACTS*, IEEE Press 2000.
- [12] Yong Hua Song, Allan T. Johns, *Flexible AC Transmission Systems FACTS*, IEE Power and Energy Series 30, 1999.
- [13] Pablo García Gonzalez, Aurelio García Cerrada, "Control System for a PWM-Based StatCom", *IEEE Trans. on Power Delivery*, Vol. 15, no. 4, October 2002, pp. 1252-1257.
- [14] G. Venkataramanan, B. K. Johnson, "PulseWidthModulated series compensator", *IEE Proc.- Gener. Transm. Distrib.*, Vol 149, no. 1, January 2002, pp. 71-75.
- [15] C. Schuder, M. Gernhardt, E. Stacey, T. Lemark, L. Gyugyi, T. W. Cese, A. Edris, "Operation of ± 100 MVAR TVA-StatCom", *IEEE Trans. on Power Delivery*, Vol. 12, no. 4, October 1997.
- [16] D. Grahame Holmes and Thomas A. Lipo, *Pulse Width Modulation for Power Converters. Principles and Practice.*, Wiley Interscience - IEEE Press, 2003.
- [17] Ricardo Dávalos M., Juan M. Ramírez, Rubén Tapia O., "Three-phase Multi-pulse Converter StatCom analysis." *Electrical Power and Energy Systems* 27 (2005), pp. 39-51.